

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-042619

(43)Date of publication of application : 13.02.1992

(51)Int.Cl.

H03M 1/74

(21)Application number : 02-150621

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 08.06.1990

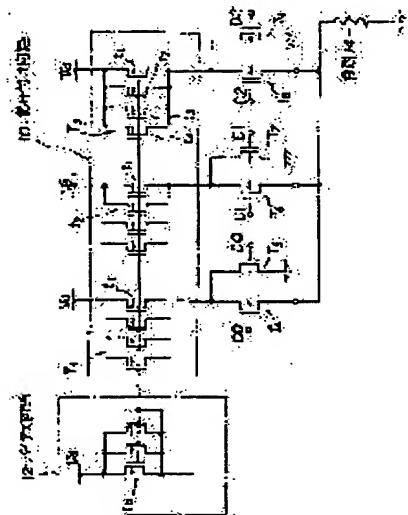
(72)Inventor : KOBAYASHI OSAMU
GOTO KUNIHIKO
SEKIDO YUJI

(54) D/A CONVERTER

(57)Abstract:

PURPOSE: To improve the differentiating linearity and to suppress the increase in a required area by constituting each current source transistor (TR) cell of plural TRs of the same size, and using only the required number of TRs among the plural TRs to attain high precision for the current source TR cells.

CONSTITUTION: Current course TR cells T1 – T4 of plural sets are included in the D/A converter and a weighting circuit 10 is provided, in which the current outputted from an m-th ($1 \leq m \leq n$) TR cell among the n-set of the current source TR cells T1 – T4 is a multiple of 2^{m-1} with respect to the current outputted from a TR forming the least significant bit. Then each of the current source TR cells T1 – T4 consists of 2^{n-1} sets of TRs t1 of the same size, and 2^{m-1} of TRs are connected in series with the m-th TR cell. Thus, while the increase in the required area is suppressed, the differentiating linearity is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫公開特許公報(A) 平4-42619

⑬Int.Cl.⁵
H 03 M 1/74識別記号 庁内整理番号
9065-5J

⑭公開 平成4年(1992)2月13日

審査請求 未請求 請求項の数 2 (全7頁)

⑮発明の名称 DAコンバータ

⑯特 願 平2-150621

⑯出 願 平2(1990)6月8日

⑰発明者 小林 修	神奈川県川崎市中原区上小田中1015番地 内
⑰発明者 後藤 邦彦	神奈川県川崎市中原区上小田中1015番地 内
⑰発明者 関戸 裕治	愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴイエル エスアイ株式会社内
⑯出願人 富士通株式会社	神奈川県川崎市中原区上小田中1015番地
⑯出願人 富士通ヴイエルエスア イ株式会社	愛知県春日井市高蔵寺町2丁目1844番2
⑯代理人 弁理士 石川 泰男	

明細書

スタ($T_1 \sim t_{2^{n-1}}$)が直列に接続されて構成
されてなることを特徴とするDAコンバータ。

2. n ビットのデジタル信号に対応する電
流値によってアナログ信号を出力するDAコンバ
ータにおいて、

前記 n ビットのうちの上位 m ビットをセグメン
ト回路で構成し、下位 $n-m$ ビットを重み付け回
路で構成し、前記セグメント回路および重み付け
回路の各電流源トランジスタセルのサイズを同一
としたことを特徴とするDAコンバータ。

1. 発明の名称

DAコンバータ

2. 特許請求の範囲

1. n ビットのデジタル信号に対応する電流
値によってアナログ信号を出力するDAコンバ
ータであって、

n 個の電流源トランジスタセル($T_1 \sim T_n$)
を含み、該 n 個電流源トランジスタセル($T_1 \sim$
 T_n)のうち第 m 番目($1 \leq m \leq n$)のトランジ
スタセル(T_m)から出力される電流値が、最下
位ビットを形成するトランジスタから出力される
電流値に対して 2^{m-1} 倍で示される重み付け回路
を有し、

前記電流源トランジスタセル($T_1 \sim T_n$)の
それぞれは 2^{n-1} 個の同一サイズのトランジスタ
($t_1 \sim t_{2^{n-1}}$)で形成され、第 m 番目のトラン
ジスタセル(T_m)には、 2^{m-1} 個のトランジ

3. 発明の詳細な説明

〔概要〕

本発明は、DAコンバータ、特に、DAコンバ
ータに使用される重み付け回路に関し、

必要な面積の増加を抑制しつつ、微分直線性を
向上させることができるDAコンバータを提供す
ることを目的とし、

n ビットのデジタル信号に対応する電流値によ

ってアナログ信号を出力するDAコンバータであって、n個の電流源トランジスタセルを含み、該n個電流源トランジスタセルのうち第m番目($1 \leq m \leq n$)のトランジスタセルから出力される電流値が、最下位ビットを形成するトランジスタから出力される電流値に対して 2^{m-1} 倍で示される重み付け回路を有し、前記電流源トランジスタセルのそれぞれは 2^{m-1} 個の同一サイズのトランジスタで形成され、第m番目のトランジスタセルには、 2^{m-1} 個のトランジスタが直列に接続されて構成される。

〔産業上の利用分野〕

本発明は、DAコンバータ、特に、DAコンバータに使用される重み付け回路に関するものである。

近年、テレビ、VTR等に使用される高速DAコンバータにおいて、多ビット化、高精度化が要求されている。

DAコンバータにおいては、重み付け回路が使

る。

第5図において、DAコンバータは、8ビットタイプであり、このため、重み付け回路10は、8個の電流源トランジスタセルT₁～T₈を含む。ここで、セルT₁～T₈のサイズW₁～W₈の比は、1:2:4:8:16:32:64:128であり、この結果、セルT₁～T₈からの電流値の比は、1:2:4:8:16:32:64:128である。なお、符号12は、バイアス回路を示し、符号14は、負荷を示し、符号V_dは、電源電圧を示す。

また、(D₁、 $\overline{D_1}$)、(D₂、 $\overline{D_2}$)、～、(D₇、 $\overline{D_7}$)、(D₈、 $\overline{D_8}$)は、入力信号であるデジタル信号(これは8ビットである)の各入力端子を示す。例えば、デジタル信号のうち第1ビット、第2ビットが「H」レベルであり、他の第3ビット～第8ビットが「L」レベルである場合には、入力端子D₁、D₂が「H」レベルであり、入力端子 $\overline{D_3}$ ～ $\overline{D_8}$ が「H」レベルであるので、電流源トランジスタセルT₁、T₂からの

用されており、該重み付け回路は、異なる電流値の複数の電流源トランジスタセルを含む。そして、多ビット化すると、該電流源トランジスタセル間の誤差が大きくなり、微分直線性が悪化する。

そこで、電流源トランジスタセルを高精度化することにより、電流源トランジスタセル間の誤差を減少させ、この結果、微分直線性を向上させることができるのである。

〔従来の技術〕

第4図には、従来の重み付け回路が示されている。

第4図において、重み付け回路は、4ビットであり、4個の電流源トランジスタセルT₁～T₄を含む。ここで、セルT₁～T₄のサイズW₁～W₄の比は、1:2:4:8であり、この結果、セルT₁～T₄からの電流値の比は、1:2:4:8である。

次に、第5図には、上述したような従来の重み付け回路を使用したDAコンバータが示されてい

電流値の和が負荷14に供給される。このようにして、8ビットの入力デジタル信号がアナログ信号に変換される。

〔発明が解決しようとする課題〕

上記のような重み付け回路において、高ビット化すると、電流源トランジスタセル間の誤差が大きくなり、微分直線性が悪化する。ここで、微分直線性とは、各ビットの平均電流に対する誤差をいう。

また、従来、第6図に示されるように、セグメント回路を使用したDAコンバータがある。

第6図において、符号16は、セグメント回路を示し、8ビットタイプの場合、セグメント回路16は、 $2^8 - 1$ (=2⁸-1)個の同一特性(同一の電流値を出力する)の電流源トランジスタセルI₁、I₂、～、I_{FF}、I_{FF}を含む。

また、(D₀₁、 $\overline{D_{01}}$)、(D₀₂、 $\overline{D_{02}}$)、～、(D_{FF}、 $\overline{D_{FF}}$)、(D_{FF}、 $\overline{D_{FF}}$)は、トランジスタセルI₁、I₂、～、I_{FF}、I_{FF}に対応する入

力端子を示す。例えば、8ビットの入力デジタル信号のうち第2ビットが「H」レベルであり、他のビットが「L」レベルである場合には、デコードされた値が「2」であるので、2個の入力端子 D_{01} 、 D_{02} が「H」レベルであり、他の入力端子 D_{03} 、 D_{04} 、～、 D_{FE} 、 D_{FF} が「H」レベルである。この結果、トランジスタセル I_1 、 I_2 からの電流値の和が負荷 I_4 に供給される。このようにして、8ビットの入力デジタル信号がアナログ信号に変換される。

上記のようなセグメント回路においては、同一の電流値を出力する複数の電流源トランジスタセルを使用しているので、高ビット化した場合であっても、トランジスタセル間の誤差が小さい。従って、微分直線性が向上し、高精度化が達成される。

しかしながら、セグメント回路においては、高ビット化に伴い、多数の電流源トランジスタセルが必要になり、例えば、8ビットの場合には、 $255 (2^8 - 1)$ 個のトランジスタセルが必要

トランジスタのみを使用している。例えば、3番目のトランジスタセル T_3 は、 $4 (= 2^{3-1})$ 個のトランジスタ t_1 ～ t_4 のみを使用している。

なお、第1図において、使用されないトランジスタ t 、すなわち、トランジスタセル T_1 のトランジスタ t_2 ～ t_8 、トランジスタセル T_2 のトランジスタ t_3 ～ t_8 、トランジスタセル T_3 のトランジスタ t_5 ～ t_8 は、他の用途のために、例えば、他の重み付け回路の電流源トランジスタセルのために、使用されてもよい。

また、請求項2記載の発明は、nビットのデジタル信号に対応する電流値によってアナログ信号を出力するDAコンバータにおいて、前記nビットのうちの上位mビットをセグメント回路で構成し、下位n-mビットを重み付け回路で構成し、前記セグメント回路および重み付け回路の各電流源トランジスタセルのサイズを同一としたものである。

になる。この結果、セグメント回路の面積が大きくなるという問題がある。

以上のように、DAコンバータにおいて、重み付け回路を使用した場合には、高ビット化に伴い、微分直線性が悪化し、一方、セグメント回路を使用した場合には、高ビット化に伴い、該セグメント回路の面積が増加するという問題がある。

本発明の目的は、必要な面積の増加を抑制しつつ、微分直線性を向上させることができるDAコンバータを提供することにある。

〔課題を解決するための手段〕

第1図には、請求項1記載の発明に係るDAコンバータが示されている。第1図において、重み付け回路は、例えば、4ビットであり、4個の電流源トランジスタセル T_1 ～ T_4 を含む。各セル T は、 $8 (= 2^{4-1})$ 個の同一サイズのトランジスタ t_1 ～ t_8 を備えている。そして、m番目 ($1 \leq m \leq 4$) のトランジスタセル T_m は、8個のトランジスタ t_1 ～ t_8 のうち 2^{m-1} 個のトランジ

〔作用〕

第1図において、請求項1記載の発明によれば、電流源トランジスタセル T_1 ～ T_4 は、それぞれ、同一サイズのトランジスタ t を1個、2個、4個、8個含むので、該トランジスタセル T_1 ～ T_4 からの電流値の比は、1 : 2 : 4 : 8 である。そして、トランジスタ t_1 ～ t_8 は、同一サイズであるので、トランジスタセル T_1 ～ T_4 間の誤差は小さくなり、微分直線性が向上する。

また、請求項2記載の発明によれば、重み付け回路または重み付け回路とセグメント回路を併用することによって、セグメント回路のみを使用する場合と比較して、必要な面積の増加が抑制される。

〔実施例〕

第2図には、本発明の第1実施例による重み付け回路を使用したDAコンバータが示されている。

第2図において、DAコンバータは、3ビットタイプであり、このため、重み付け回路10は、

3個の電流源トランジスタセル $T_1 \sim T_3$ を含む。ここで、各セル T は、4個の同一サイズのトランジスタ $t_1 \sim t_4$ を備えている。そして、セル T_1 は、1個のトランジスタ t_1 のみを使用し、他のトランジスタ $t_2 \sim t_4$ を接続していない。また、セル T_2 は、2個のトランジスタ t_1 、 t_2 のみを使用し、他のトランジスタ t_3 、 t_4 を接続していない。また、セル T_3 は、4個の全てのトランジスタ $t_1 \sim t_4$ を使用している。この結果、セル T_1 、 T_2 、 T_3 からの電流値の比は、1 : 2 : 4 である。

そして、トランジスタ $t_1 \sim t_4$ は、同一サイズであるので、トランジスタセル T_1 、 T_2 、 T_3 間の誤差が小さく、微分直線性が向上している。

なお、 $(D_0, \overline{D_0})$ 、 $(D_1, \overline{D_1})$ 、 $(D_2, \overline{D_2})$ は、3ビットの入力デジタル信号の各入力端子を示し、例えば、デジタル信号のうち第1ビット、第2ビットが「H」レベルであり、第3ビットが「L」レベルである場合には、入力

端子 D_0 、 D_1 が「H」レベルであり、入力端子 $\overline{D_2}$ が「H」レベルであるので、電流源トランジスタセル T_1 、 T_2 からの電流値の和が負荷 $1/4$ に供給される。このようにして、3ビットの入力デジタル信号がアナログ信号に変換される。

また、バイアス回路12とのカレントミラーの精度を向上させるために、バイアス回路12内のトランジスタセル T_6 を前記トランジスタセル T_1 、 T_2 、 T_3 と同様に（同一サイズの複数のトランジスタで）構成してもよい。

また、入力端子 D_0 、 $\overline{D_0}$ 、 D_1 、 $\overline{D_1}$ 、 D_2 、 $\overline{D_2}$ に接続されたトランジスタセル $T_4 \sim T_9$ は、実施例では単独で示されているが、トランジスタセル T_4 、 T_6 、 T_8 、 及び、トランジスタセル T_5 、 T_7 、 T_9 を前記トランジスタセル T_1 、 T_2 、 T_3 と同様に（同一サイズの複数のトランジスタで）構成してもよい。

次に、第3図には、本発明の第2実施例による重み付け回路を使用したDAコンバータが示されている。

第3図において、DAコンバータは6ビットタイプであり、重み付け回路10及びセグメント回路16を含む。ここで、重み付け回路10は、6ビットのうち下位2ビットを担当し、セグメント回路16は、6ビットのうち上位4ビットを担当する。

重み付け回路10は、2個の電流源トランジスタセル T_1 、 T_2 を含み、各セル T は、4個の同一サイズのトランジスタ $t_1 \sim t_4$ を備えている。そして、セル T_1 は、1個のトランジスタ t_1 のみを使用し、他のトランジスタ $t_2 \sim t_4$ を接続していない。また、セル T_2 は、2個のトランジスタ t_1 、 t_2 のみを使用し、他のトランジスタ t_3 、 t_4 を接続していない。以上の構成により、セル T_1 は、下位2ビットのうち第1ビットを担当し、セル T_2 は、下位2ビットのうち第2ビットを担当する。

セグメント回路16は、4ビットであるので、15 (= $2^4 - 1$) 個の同一特性（同一の電流値を出力する）の電流源トランジスタセル $I_1 \sim I_{15}$

を含む。各電流源トランジスタセル I は、4個の同一サイズのトランジスタ $t_1 \sim t_4$ を備え、4個の全てのトランジスタ $t_1 \sim t_4$ を使用している。

そして、セグメント回路16内の電流源トランジスタセル I のトランジスタ $t_1 \sim t_4$ は、重み付け回路10内の電流源トランジスタセル T のトランジスタ $t_1 \sim t_4$ と同一サイズであるので、上位4ビットと下位2ビットとの間の誤差が小さくなり、微分直線性が向上する。

なお、第1実施例と同様に、バイアス回路12内のトランジスタセル T_6 をトランジスタセル T_1 、 T_2 、トランジスタセル I と同様に（同一サイズの複数のトランジスタで）構成してもよい。

また、第2実施例においては、セグメント回路16が上位4ビットを担当し、重み付け回路10が下位2ビットを担当しており、セグメント回路16の担当するビット数が少ない（4ビット）ので、セグメント回路16内の電流源トランジスタセル I の個数は少ない。それゆえ、セグメント回

路 1 6 に必要な面積が大幅に増加する事がない。
また、第 3 図の第 2 実施例を一般的な形式で述べると、次のようになる。

n ビットの DA コンバータにおいて、 n ビットを上位 l ビット、下位 $n-l$ ビットに分割する。

下位 $n-l$ ビットは、重み付け方式により処理され、上位 l ビットは、セグメント方式により処理される。すなわち、下位 $n-l$ ビットの重み付け方式においては、 $n-l$ 個の電流源が使用され、 i 番目の電流源は、 2^{i-1} ($1 \leq i \leq n-l$) の電流値を有する。ここで、下位 $n-l$ ビットの i 番目のビットが「H」レベルであるか「L」レベルであるかにより、 i 番目の電流源から電流値 2^{i-1} の電流が output される。そして、全ての電流源からの電流値の和が、重み付け方式による出力とされる。

上位 l ビットのセグメント方式においては、 2^{l-1} の電流値を有する同一の電流源を $2^l - 1$ 個使用する。上位 l ビットは、デコードされ、該上位 l ビットが示す個数だけ電流源から電流が出

力される。そして、出力された電流値の和が、セグメント方式による出力とされる。

以上のようにして、重み付け方式による下位 $n-l$ ビットの出力とセグメント方式による上位 l ビットの出力との和が、DA コンバータの出力とされる。

なお、重み付け方式における電流源及びセグメント方式による電流源は、 2^{i-1} 個の同一サイズのトランジスタから構成されていてもよい。この場合に、重み付け方式における i 番目の電流源は、 2^{i-1} 個の同一サイズのトランジスタのうち 2^{i-1} ($1 \leq i \leq n-l$) 個のトランジスタを使用している。また、セグメント方式における各電流源は、 2^{l-1} 個の同一サイズのトランジスタを全て使用している。

〔発明の効果〕

以上説明したように、請求項 1 記載の発明によれば、各電流源トランジスタセルを同一サイズの複数のトランジスタから構成し、複数のトランジ

スタのうち必要な個数のトランジスタを使用しているので、電流源トランジスタセルを高精度化することができる。従って、電流源トランジスタセル間の誤差が小さくなり、微分直線性が向上する。

また、請求項 2 記載の発明によれば、重み付け回路とセグメント回路を併用しているのでセグメント回路のみを使用する場合と比較して、必要な面積の増加が抑制される。

4. 図面の簡単な説明

第 1 図は、本発明の原理による重み付け回路の回路図、

第 2 図は、本発明の第 1 実施例による重み付け回路を使用した DA コンバータの回路図、

第 3 図は、本発明の第 2 実施例による重み付け回路を使用した DA コンバータの回路図、

第 4 図は、従来の重み付け回路の回路図、

第 5 図は、従来の重み付け回路を使用した DA コンバータの回路図、

第 6 図は、セグメント回路を使用した DA コン

バータの回路図である。

1 0 … 重み付け回路

1 2 … バイアス回路

1 4 … 負荷

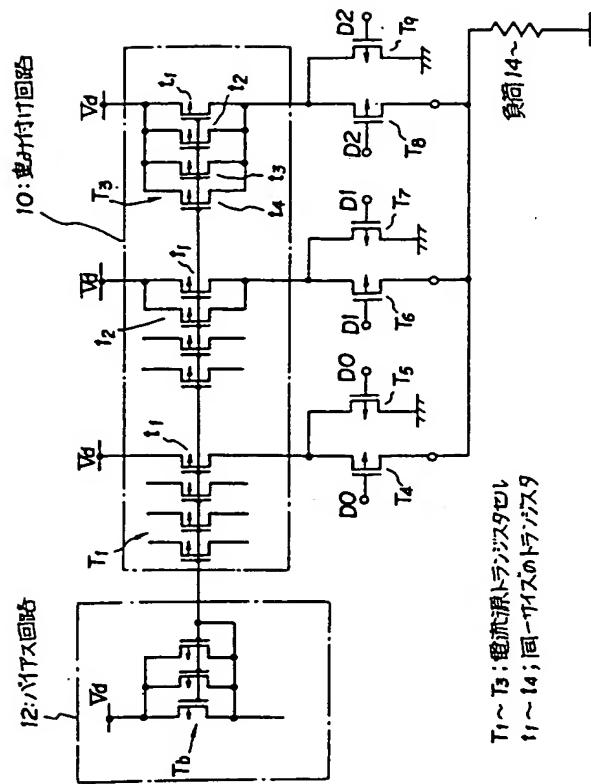
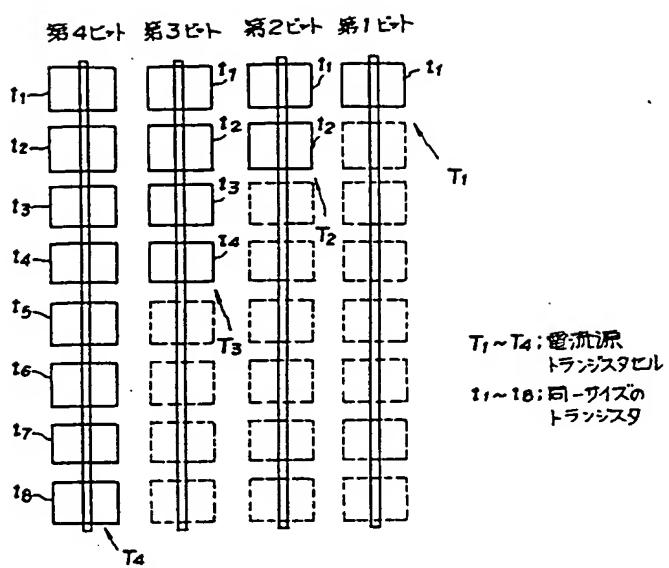
1 6 … セグメント回路

$T_1 \sim T_4$ … 電流源トランジスタセル

$t_1 \sim t_8$ … 同一サイズのトランジスタ

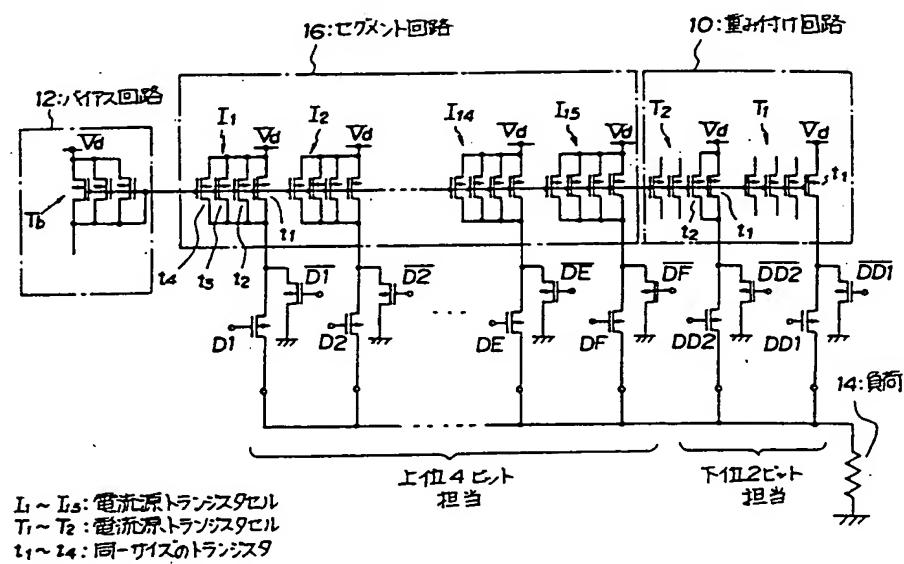
$I_1 \sim I_{15}$ … 電流源トランジスタセル

出願人代理人 石川泰男



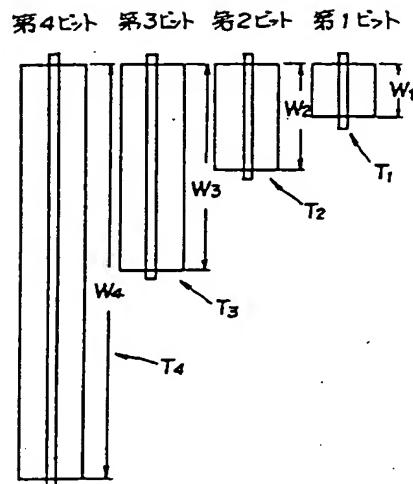
本発明の第1実施例: 12ビットバス回路を使用したDAコンバータの回路図

第 2 図



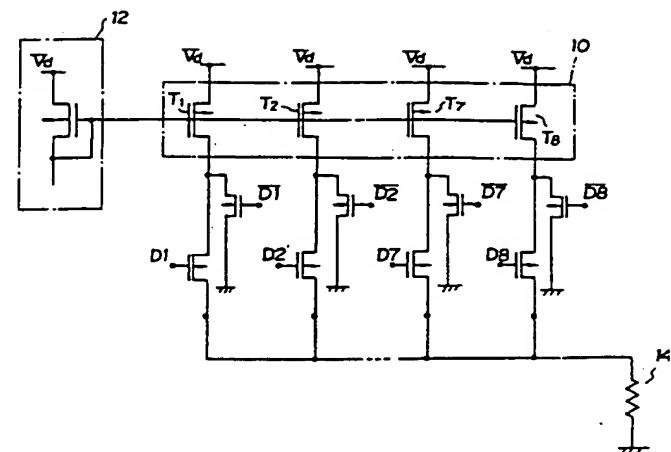
本発明の第2実施例による重み付け回路を使用したDAコンバータの回路図

第 3 図



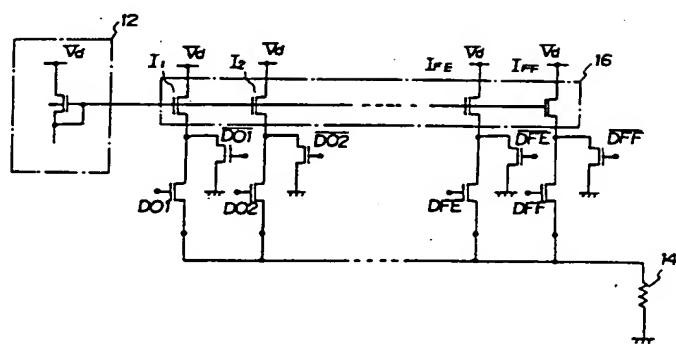
従来の重み付け回路の回路図

第4図



第5図

第4図



第6図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ~~FADED TEXT OR DRAWING~~**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.